

**Family list**

1 application(s) for: **JP8115136**

**1 CURRENT SOURCE CIRCUIT AND VOLTAGE SOURCE CIRCUIT**

**Inventor:** YAMAZAKI HIROSHI

**Applicant:** FUJITSU LTD

**EC:**

**IPC:** *G05F3/24*; *G05F3/08*; (IPC1-7): *G05F3/24*

**Publication** **JP8115136 (A)** - 1996-05-07  
**info:**

**Priority Date:** 1994-10-17

---

Data supplied from the ***espacenet*** database — Worldwide

# CURRENT SOURCE CIRCUIT AND VOLTAGE SOURCE CIRCUIT

**Publication number:** JP8115136 (A)

**Publication date:** 1996-05-07

**Inventor(s):** YAMAZAKI HIROSHI +

**Applicant(s):** FUJITSU LTD +

**Classification:**

- international: **G05F3/24; G05F3/08;** (IPC1-7): G05F3/24

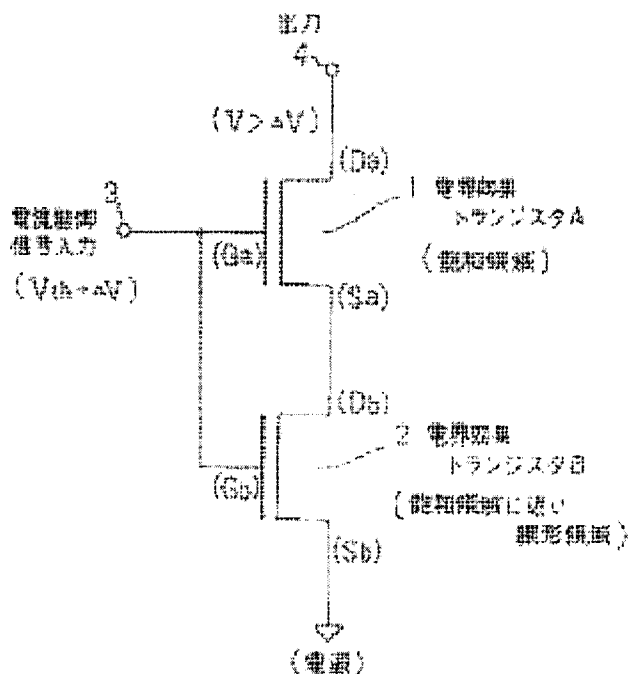
- European:

**Application number:** JP19940250326 19941017

**Priority number(s):** JP19940250326 19941017

## Abstract of JP 8115136 (A)

**PURPOSE:** To enlarge output resistance without narrowing down the range of an output voltage and complicating the circuit concerning the current source circuit to be used for a semiconductor integrated circuit. **CONSTITUTION:** Concerning the current source circuit serially connecting field effect transistors(FET) A and B of the same polarity, the gates of two FET are commonly connected, the source of the FET B is connected to a power source, and the source of the FET A and the drain of the FET B are connected. Then, the FET A is operated in a saturated area with the drain of the FET A as its output, the characteristics of the FET A and B are decided so that the FET B can be operated at an operating point near the saturated area of a linear area, and a current control signal is impressed to the gates of two commonly connected FET.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-115136

(43) 公開日 平成8年(1996)5月7日

(51) Int.Cl.<sup>6</sup>

G 0 5 F 3/24

識別記号

庁内整理番号

B 4237-5H

F I

技術表示箇所

審査請求 未請求 請求項の数3 O L (全 9 頁)

(21) 出願番号 特願平6-250326

(22) 出願日 平成6年(1994)10月17日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 山▲崎▼ 博

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 長谷川 文廣 (外2名)

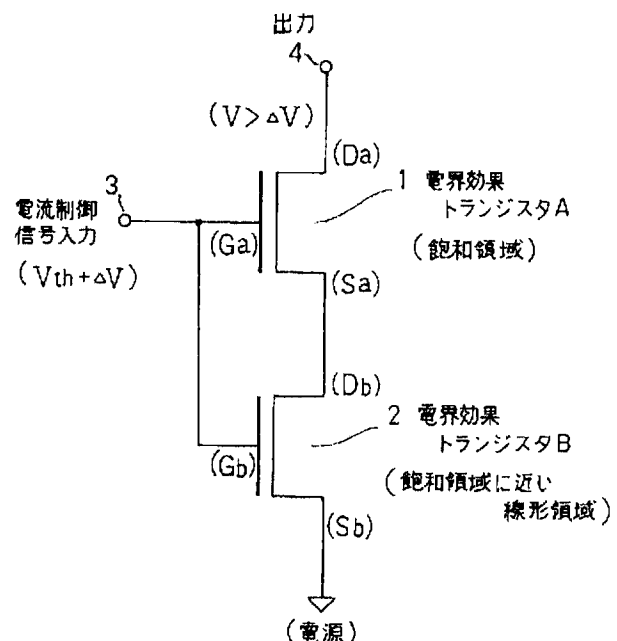
(54) 【発明の名称】 電流源回路および電圧源回路

(57) 【要約】

【目的】 半導体集積回路で使用する電流源回路に関し、出力電圧の範囲を狭ばめることなく、また、回路を複雑にすることなく出力抵抗を大きくすることを目的とする。

【構成】 極性が同じである電界効果トランジスタAと電界効果トランジスタBを直列接続した電流源回路において、二つの電界効果トランジスタのゲートを共通に接続し、電界効果トランジスタBのソースは電源に接続され、電界効果トランジスタAのソースと電界効果トランジスタBのドレインが接続され、電界効果トランジスタAのドレインを出力とし、電界効果トランジスタAが飽和領域で動作し、電界効果トランジスタBが線形領域の飽和領域に近い動作点で動作するように電界効果トランジスタA、電界効果トランジスタBの特性を定め、共通に接続された二つの電界効果トランジスタのゲートに電流制御信号を印加する構成を持つ。

本発明の基本構成



#### 【特許請求の範囲】

【請求項 1】 極性が同じである電界効果トランジスタ A と電界効果トランジスタ B を直列接続した電流源回路において、該二つの電界効果トランジスタのゲートを共通に接続し、電界効果トランジスタ B のソースは電源に接続され、電界効果トランジスタ A のソースと電界効果トランジスタ B のドレインが接続され、電界効果トランジスタ A のドレインを出力とし、該電界効果トランジスタ A が飽和領域で動作し、該電界効果トランジスタ B が線形領域の飽和領域に近い動作点で動作するように該電界効果トランジスタ A、該電界効果トランジスタ B の特性を定め、共通に接続された該二つの電界効果トランジスタのゲートに電流制御信号を印加することを特徴とする電流源回路。

【請求項 2】 極性が同じである電界効果トランジスタ A と電界効果トランジスタ B を直列接続した電流源を備えた電圧源回路において、該二つの電界効果トランジスタのゲートを共通に接続し、電界効果トランジスタ B のソースは電源に接続され、電界効果トランジスタ A のソースと電界効果トランジスタ B のドレインが接続され、電流源を該電界効果トランジスタ A のドレインに接続し、該共通のゲートは該電界効果トランジスタ A のドレインに接続され、該電界効果トランジスタ A のドレインと該電界効果トランジスタ B のドレインの双方もしくは一方を出力とすることを特徴とする電圧源回路。

【請求項 3】 極性が同じである電界効果トランジスタ A と電界効果トランジスタ B の直列回路 X と極性が同じである電界効果トランジスタ C と電界効果トランジスタ D の直列回路 Y とを備え、該直列回路 X、Y 同士をカレントミラー回路として接続した電流源回路において、該直列回路 X は、その二つの電界効果トランジスタ A、B のゲートを共通に接続し、電界効果トランジスタ B のソースは電源に接続され、電界効果トランジスタ A のソースと電界効果トランジスタ B のドレインが接続され、該共通のゲートは該電界効果トランジスタ A のドレインに接続され、電界効果トランジスタ A のドレインを該直列回路 Y のゲートに接続し、該電界効果トランジスタ A が飽和領域で動作し、該電界効果トランジスタ B が線形領域の飽和領域に近い動作点で動作するように該電界効果トランジスタ A、該電界効果トランジスタ B の特性を定め、該直列回路 Y は、その二つの電界効果トランジスタ C、D のゲートを共通に接続し、電界効果トランジスタ D のソースは電源に接続され、電界効果トランジスタ C のソースと電界効果トランジスタ D のドレインが接続され、該電界効果トランジスタ C が飽和領域で動作し、該電界効果トランジスタ D が線形領域の飽和領域に近い動作点で動作するように該電界効果トランジスタ C、該電界効果トランジスタ D の特性を定め、電流源を該電界効果トランジスタ A のドレインに接続し、電界効果トランジスタ C のドレインを出力とすることを特徴とする電流源回路。

#### 【発明の詳細な説明】

##### 【0001】

【産業上の利用分野】本発明は、半導体集積回路で使用する電流源回路および電圧源回路に関するものであり、特に MOS トランジスタ等の電界効果トランジスタにより構成されるものである。

【0002】MOS 集積回路技術の向上にともない、アナログの MOS 集積回路が実用化されているが、アナログ回路は集積化しにくいいため、MOS トランジスタによる集積化しやすいアナログ回路の開発が望まれる。

【0003】アナログ回路では電流源が多く用いられ、電流源の特性がアナログ回路の性能に大きく影響する。アナログ回路に用いる電流源には、出力抵抗の大きい、すなわち出力電流が負荷の変動に影響されにくいようにする必要があり、そのような条件を満足する電流源回路もしくは電圧源回路が必要である。

##### 【0004】

【従来の技術】図 7 は従来の技術の説明図 1 である。図 7 (a)、(c)において、100 は電界効果トランジスタであって、N チャネルの MOS トランジスタである。

【0005】S はソース、D はドレイン、G はゲートである。図 7 (a) は最も簡単な電流源回路の例である。電界効果トランジスタ 100 を電流源回路として使用する場合には、ソースに電源を接続して飽和領域で動作させる。ゲートに電流制御信号を印加する。

【0006】図 7 (b) は図 5 (A) の電界効果トランジスタ 100 の出力電圧と出力電流の関係を示す。電界効果トランジスタのゲートの閾値電圧を  $V_{th}$ 、電流制御信号電圧（電流制御信号入力）、即ちゲートーソース間電位を  $V_{th} + \Delta V$  と表すと、出力電流として使用可能な出力電圧の範囲は、

$$V > (V_{th} + \Delta V) - V_{th} = \Delta V$$

から、 $V > \Delta V$  である（ $\Delta V$  は必要な出力を得るために設定される飽和領域の電圧値である）。

【0007】また、例えば、 $\Delta V$  を飽和領域の一番低い電圧とすると、 $V > \Delta V$  の飽和領域でも、電界効果トランジスタ 100 のチャネル長変調効果により、出力電圧が大きくなると出力電流が増大する。そのときの出力抵抗を  $R_{ds}$  と表す。 $R_{ds} = dV / dI$  である。トランジスタを電流源回路として使用する場合には、この出力抵抗  $R_{ds}$  ができるだけ大きい必要がある。

【0008】この出力抵抗を増大させるための方法として図 7 (c) に示すように電界効果トランジスタのソースと電源の間に抵抗  $R$  を加える方法がある。そのとき、トランジスタの相互コンダクタンスを  $g_m$ 、加えた抵抗の抵抗値を  $R$  とすると、出力抵抗は、およそ、 $R_{ds} (1 + g_m R)$  となる。 $g_m$  はおよそ数百  $\mu S$ （マイクロジーメンズ）であるので図 7 (c) の出力抵抗を大きくするためには、数十  $k\Omega$  程度以上の抵抗が必要となる。ところで、抵抗として飽和領域で動作する MOS トランジスタ

タを用いることも可能である。

【0009】図8は従来の技術の説明図2である。図8 (a)は出力抵抗を増大させるための抵抗として飽和領域で動作するMOSトランジスタを使用した場合の回路構成を示す。図8 (b)は図8 (a)の回路を使用してカレントミラー回路を構成した場合を示す。図8 (c)は図8 (b)の回路を改良した回路例を示す。

【0010】図8 (a)において、110、111はMOSトランジスタである。MOSトランジスタ110のゲートに電流制御信号入力1を印加し、MOSトランジスタ111のゲートに電流制御信号入力2を印加する。

【0011】MOSトランジスタ111の出力抵抗を $R_{ds}$ とすると、回路の出力抵抗は、 $R_{ds}(1+g_m R_{ds})$ となる。従って、図7 (a)の回路と比較すると、図8 (a)の回路では出力抵抗は $(1+g_m R_{ds})$ 倍となる。

【0012】図8 (b)は図8 (a)の回路を使用してカレントミラー回路に構成した例である。図8 (b)において、115、116はMOSトランジスタである。

【0013】117、118はMOSトランジスタである。120は直列回路Xであって、MOSトランジスタ115とMOSトランジスタ116の直列回路である。

【0014】121は直列回路Yであって、MOSトランジスタ117とMOSトランジスタ118の直列回路である。119は電流源を表す(別の電流源回路)。

【0015】図8 (b)において、MOSトランジスタ116のゲートに印加する電流制御信号電圧は $V_{th} + \Delta V$ である。従って、MOSトランジスタ115のゲートに印加する電流制御信号電圧は $2(V_{th} + \Delta V)$ である。従って、MOSトランジスタ117のゲートに印加される電圧は $2(V_{th} + \Delta V)$ であるので、出力として使用できる電圧範囲は、

$V > 2(V_{th} + \Delta V) - V_{th} = V_{th} + 2\Delta V$   
従って、 $V > V_{th} + 2\Delta V$ となり、図7 (a)の電圧範囲より小さくなる。

【0016】この点を改良したのが、図8 (c)である。図8 (c)において、135、136はMOSトランジスタである。

【0017】137、138はMOSトランジスタである。139、140はMOSトランジスタである。141は直列回路Xであって、MOSトランジスタ135とMOSトランジスタ136の直列回路である。

【0018】142は直列回路Yであって、MOSトランジスタ137とMOSトランジスタ138の直列回路である。143は直列回路Zであって、MOSトランジスタ139とMOSトランジスタ140の直列回路である。

【0019】145は電流源を表す。図8 (c)の構成において、直列回路X(141)と直列回路Y(142)は図8 (b)と同じであり、カレントミラー回路を構成す

る。

【0020】図8 (b)と同様に、MOSトランジスタ136のゲートに印加する電流制御信号電圧は $V_{th} + \Delta V$ である。MOSトランジスタ135のゲートに印加する電流制御信号電圧は $2(V_{th} + \Delta V)$ である。従って、MOSトランジスタ139のゲートに印加される電圧は $V_{th} + 2\Delta V$ 程度となるので、出力として使用できる電圧範囲は、 $V > 2\Delta V$ である。

【0021】図9は従来の電流源回路(図8 (b))の集積回路の構成を示す。図9において、115はMOSトランジスタであって、ドレイン領域、ソース領域を備え、絶縁膜(図示せず)を介してゲートを有するものである。

【0022】116はMOSトランジスタであって、ドレイン領域、ソース領域を備え、絶縁膜(図示せず)を介してゲートを有するものである。117はMOSトランジスタであって、ドレイン領域、ソース領域を備え、絶縁膜(図示せず)を介してゲートを有するものである。

【0023】118はMOSトランジスタであって、ドレイン領域、ソース領域を備え、絶縁膜(図示せず)を介してゲートを有するものである。120は直列回路Xであって、MOSトランジスタ115とMOSトランジスタ116の直列回路である。

【0024】121は直列回路Yであって、MOSトランジスタ117とMOSトランジスタ118の直列回路である。119は電流源であって、実際には別の電流源の回路であるが、図では省略する。

【0025】また、各電界効果トランジスタの各領域を接続する配線層があるが、図では各領域を結合する実線で配線を表す。MOSトランジスタ116のゲートとドレイン領域の接続用配線、MOSトランジスタ116のゲートとMOSトランジスタ118のゲートを接続する配線、MOSトランジスタ115のゲートとドレイン領域の接続用配線、MOSトランジスタ115のゲートとMOSトランジスタ117のゲートを接続する配線、電流源119とMOSトランジスタのドレイン領域を接続する配線、MOSトランジスタ117のドレイン領域と出力を接続する配線等がそれぞれに必要である。

【0026】

【発明が解決しようとする課題】図8 (c)の回路の電流源回路は出力抵抗が大きいかつ出力電圧範囲を広くとることができるが、電流制御信号を複数必要とするので電流制御信号を生成する回路が複雑になる。カレントミラー回路自体も複雑で集積回路の配線が複雑になり、集積回路の設計を困難なものとする。図8 (c)以外の従来の回路の構成は比較的簡単であるが、出力として取り出せる電圧範囲が狭い欠点がある。

【0027】本発明は、出力電圧の範囲を狭くすることなく、また、回路を複雑にすることなく出力抵抗の大き

い電流源回路もしくは電圧源回路を提供することを目的とする。

【0028】

【課題を解決するための手段】本発明は、極性が同じである電界効果トランジスタAと電界効果トランジスタBを直列接続した電流源回路において、該二つの電界効果トランジスタA、Bのゲートを共通に接続し、電界効果トランジスタBのソースは電源に接続され、電界効果トランジスタAのソースと電界効果トランジスタBのドレインが接続され、該電界効果トランジスタAが飽和領域で動作し、該電界効果トランジスタBが線形領域の飽和領域に近い動作点で動作するように該電界効果トランジスタA、該電界効果トランジスタBの特性を定め、電界効果トランジスタAのドレインを出力とし、共通に接続された該二つの電界効果トランジスタA、Bのゲートに電流制御信号を印加するようにした。

【0029】図1は本発明の基本構成を示す。図1において、1は電界効果トランジスタAであって、S<sub>a</sub>はソース、D<sub>a</sub>はドレイン、G<sub>a</sub>はゲートである。

【0030】2は電界効果トランジスタBであって、S<sub>b</sub>はソース、D<sub>b</sub>はドレイン、G<sub>b</sub>はゲートである。3は電流制御信号入力であって、電流制御電圧を入力するものである。

【0031】4は出力であって、電圧もしくは電流を出力するものである。電界効果トランジスタB(2)のソースS<sub>b</sub>は電源に接続する。電界効果トランジスタA(1)のソースS<sub>a</sub>と電界効果トランジスタB(2)のドレインD<sub>b</sub>を接続する。電界効果トランジスタA(1)のゲートG<sub>a</sub>と電界効果トランジスタB(2)のゲートG<sub>b</sub>を接続し、共通の電流制御信号入力をする。電界効果トランジスタA(1)のドレインを出力とする。

【0032】本発明は、Nチャネル電界効果トランジスタ、Pチャネル電界効果トランジスタのいずれにも適用できるものである。図1の回路で、Nチャネル電界効果トランジスタを使用する場合には、電源は基準電位（接地電位）であり、Pチャネル電界効果トランジスタを使用する場合には、電源は正の電源電圧である。

【0033】

【作用】図1の構成において、電界効果トランジスタA(1)は飽和領域で動作し、電界効果トランジスタB(2)は飽和領域に近い線形領域で動作するようにそれぞれの電界効果トランジスタA、Bの特性を定める。例えば、電界効果トランジスタB(2)の駆動力を電界効果トランジスタA(1)の駆動力より小さくする（電界効果トランジスタB(2)のゲート領域のサイズ（チャンネル幅Wとチャンネル長Lの比W/L）を電界効果トランジスタA(1)のゲート領域のサイズより小さくする）。このようにすることにより上記の条件を満足する回路にすることができる。また、電界効果トランジスタB(2)の抵抗は飽和領域に近い線形領域の動作で得られる抵抗であるので、

出力抵抗R<sub>s d</sub>は大きく、図1の回路を電流源回路として使用する場合は出力抵抗を大きくすることができる。

【0034】電流制御信号入力の印加電圧をV<sub>t h</sub>+ΔV程度とする。このとき、電界効果トランジスタA(1)のゲート電圧もV<sub>t h</sub>+ΔV程度であるので、出力として、取り出せる電圧範囲はV>ΔVとなる。従って、図1の回路構成によれば、大きい出力抵抗で、出力電圧範囲の広い電流源回路および電圧源回路を得ることができる。

【0035】

【実施例】図2は本発明の実施例1である。図2において、11は電界効果トランジスタAであって、S<sub>a</sub>はソース、D<sub>a</sub>はドレイン、G<sub>a</sub>はゲートである。

【0036】2は電界効果トランジスタBであって、S<sub>b</sub>はソース、D<sub>b</sub>はドレイン、G<sub>b</sub>はゲートである。3は電流制御信号入力であって、電流制御電圧を入力するものである。

【0037】14は出力1である。15は出力2である。16は電流源である。

【0038】電界効果トランジスタA(11)のドレインD<sub>a</sub>とゲートG<sub>a</sub>を接続する。電界効果トランジスタB(2)のソースS<sub>b</sub>は電源に接続する。電界効果トランジスタA(1)のソースS<sub>a</sub>と電界効果トランジスタB(12)のドレインD<sub>b</sub>を接続する。電界効果トランジスタA(1)のゲートG<sub>a</sub>と電界効果トランジスタB(12)のゲートG<sub>b</sub>を接続し、共通の電流制御信号入力にする。

【0039】電界効果トランジスタB(12)の駆動力を電界効果トランジスタA(11)の駆動力より小さくする。このようにして、電界効果トランジスタA(11)は飽和領域で動作し、電界効果トランジスタB(12)は飽和領域に近い線形領域で動作するようにする。

【0040】出力1の出力電圧はV<sub>t h</sub>+ΔVである。出力2はドレインD<sub>a</sub>の電圧よりV<sub>t h</sub>を差し引いた電圧より幾分低いので、出力2の電圧はΔV弱である。出力1もしくは出力2の双方もしくはいずれか一方から出力を得ることが可能である。

【0041】図3は本発明の実施例2である。直列回路X(30)（図2の実施例1の回路）と直列回路Y(31)（図1の回路）により電流源26を参照電流とするカレントミラー回路を構成し、直列回路Y(31)から出力を取り出すようにしたものである。

【0042】直列回路X(30)において、21は電界効果トランジスタAであって、S<sub>a</sub>はソース、D<sub>a</sub>はドレイン、G<sub>a</sub>はゲートである。

【0043】22は電界効果トランジスタBであって、S<sub>b</sub>はソース、D<sub>b</sub>はドレイン、G<sub>b</sub>はゲートである。電界効果トランジスタA(21)のドレインD<sub>a</sub>とゲートG<sub>a</sub>を接続する。電界効果トランジスタB(22)のソースS<sub>a</sub>は電源に接続する。電界効果トランジスタA(21)のソースS<sub>a</sub>と電界効果トランジスタB(22)のドレインD<sub>b</sub>

を接続する。電界効果トランジスタA(21)のゲートG<sub>a</sub>と電界効果トランジスタB(22)のゲートG<sub>b</sub>を接続し、共通の電流制御信号入力をする。

【0044】電界効果トランジスタB(22)の駆動力を電界効果トランジスタA(21)の駆動力より小さくする。このようにして、電界効果トランジスタA(11)は飽和領域で動作し、電界効果トランジスタB(12)は飽和領域に近い線形領域で動作するようにする。

【0045】電界効果トランジスタA(21)のドレイン電圧は $V_{th} + \Delta V$ であって、直列回路Y(31)のゲートG<sub>c</sub>およびゲートG<sub>d</sub>の電流制御信号電圧として直列回路Y(31)に入力する。

【0046】直列回路Y(31)において、23は電界効果トランジスタCであって、S<sub>c</sub>はソース、D<sub>c</sub>はドレイン、G<sub>c</sub>はゲートである。

【0047】24は電界効果トランジスタDであって、S<sub>d</sub>はソース、D<sub>d</sub>はドレイン、G<sub>d</sub>はゲートである。27は出力であって、電圧もしくは電流を出力するものである。

【0048】電界効果トランジスタD(24)のソースS<sub>d</sub>は電源に接続する。電界効果トランジスタC(23)のソースS<sub>c</sub>と電界効果トランジスタD(24)のドレインD<sub>d</sub>を接続する。電界効果トランジスタC(23)のゲートG<sub>c</sub>と電界効果トランジスタD(24)のゲートG<sub>d</sub>を接続し、共通の電流制御信号入力をする。

【0049】電界効果トランジスタC(23)は飽和領域で動作し、電界効果トランジスタD(24)は飽和領域に近い線形領域で動作するようにする。そのため、電界効果トランジスタD(24)の駆動力を電界効果トランジスタC(23)の駆動力より小さいものとする。このようにして電界効果トランジスタD(24)は線形領域に近い飽和領域で動作するので出力抵抗R<sub>s d</sub>は大きく、電流源回路として使用する場合の出力抵抗を大きくすることができる。

【0050】図3の構成において、ゲートG<sub>c</sub>に印加される電流制御信号電圧は $V_{th} + \Delta V$ であるので、直列回路Y(31)の出力の電圧は $V > (V_{th} + \Delta V) - V_{th} = \Delta V$ であるので、 $V > \Delta V$ である。また、電界効果トランジスタB(22)に対する電界効果トランジスタD(24)の駆動力の比Kと電界効果トランジスタA(21)に対する電界効果トランジスタC(23)の駆動力の比を等しくすることにより出力27から取り出せる電流を電流源26のK倍とすることができる。

【0051】図4は本発明の回路と従来の回路の参照電流と出力電圧の関係を回路シミュレーションにより求めたものである。横軸は参照電流である。縦軸は出力電圧である。

【0052】(A)本発明の回路であり、(B)、(C)は従来の回路である。グラフにおいて(A)－1は回路(A)の出力端子1の出力であり、(A)－2は回路(A)の出力端子2の出力である。(B)－1は回

路(B)の出力端子1の出力である。(C)－1は回路(C)の出力端子1の出力であり、(C)－2は回路(C)の出力端子2の出力である。

【0053】本発明の回路(A)の出力端子2からの出力は出力電圧が低く、出力抵抗も大きい。そのため、広い範囲の電圧に対して安定な出力を得ることができる。また、本発明の回路(A)の出力端子1からの出力は、従来の回路(C)の出力端子1からの出力に比較して出力電圧が低い。従って、出力電圧が従来の回路(C)に比較して広い範囲の電圧を利用することができる。

【0054】図5は本発明の回路と従来の回路の出力電圧と出力電流の関係をシミュレーションより求めたものである。横軸は出力電圧であり、縦軸は出力電流である。

【0055】(A)本発明の回路であり、(B)、(C)は従来の回路である。本発明の回路(A)は従来の回路(B)より出力抵抗が高く出力電圧の広い範囲で出力電流を一定に保つことができる。また、本発明の回路(A)は従来の回路(C)に比較して、飽和領域に入る電圧が低い。そのため、本発明の回路(A)は従来の回路(C)より使用できる電圧範囲が広がる。

【0056】図6は本発明の実施例2の集積回路の構成である。30は直列回路Xである。直列回路X(30)において、21は電界効果トランジスタAであり、22は電界効果トランジスタBである。

【0057】31は直列回路Yである。直列回路Y(31)において、23は電界効果トランジスタCであり、24は電界効果トランジスタDである。

【0058】26は電流源であり、別の電流源回路であるが、図では装置構成は省略されている。実際の集積回路では配線層があるが、図では実線や接続関係のみ示す。

【0059】図9の従来の回路の集積回路装置の構成に比較して、本発明の回路の集積回路の構成では配線が簡単になり、集積化しやすくなる。

【0060】

【発明の効果】本発明によれば、電界効果トランジスタによる電流源回路において、出力電圧範囲を狭くすることなく出力抵抗を大きくすることができ、安定な出力を得ることのできる電流源回路を構成することができる。また、回路の構成も簡単であるので集積化しやすい回路となり、集積回路設計の負担を軽減することができる。

【図面の簡単な説明】

【図1】本発明の基本構成を示す図である。

【図2】本発明の実施例1を示す図である。

【図3】本発明の実施例2を示す図である。

【図4】参照電流と出力電圧の関係を示す図である。

【図5】出力電圧と出力電流の関係を示す図である。

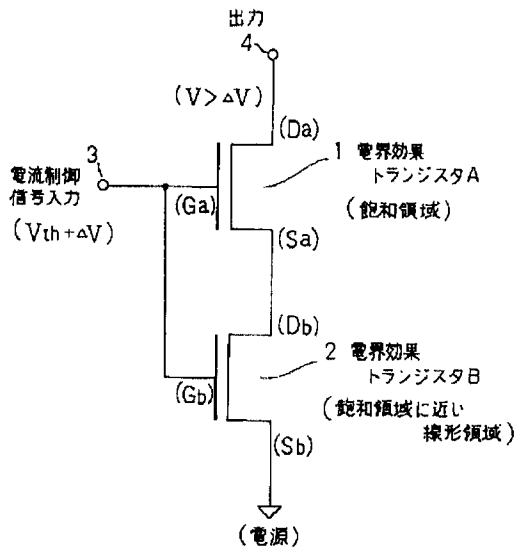
【図6】本発明の実施例2の集積回路の構成を示す図である。

【図 7】 従来の技術の説明図 1 を示す図である。  
 【図 8】 従来の技術の説明図 2 を示す図である。  
 【図 9】 図 8 (c) の電流源回路の集積回路の構成を示す図である。  
 【符号の説明】

- 1 : 電界効果トランジスタ A
- 2 : 電圧効果トランジスタ B
- 3 : 電流制御信号入力
- 4 : 出力

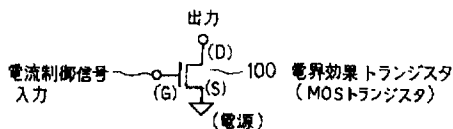
【図 1】

本発明の基本構成

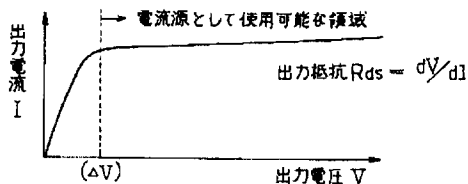


【図 7】

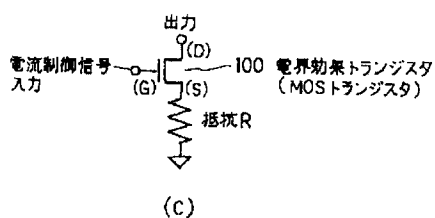
従来の技術の説明図 1



(a)



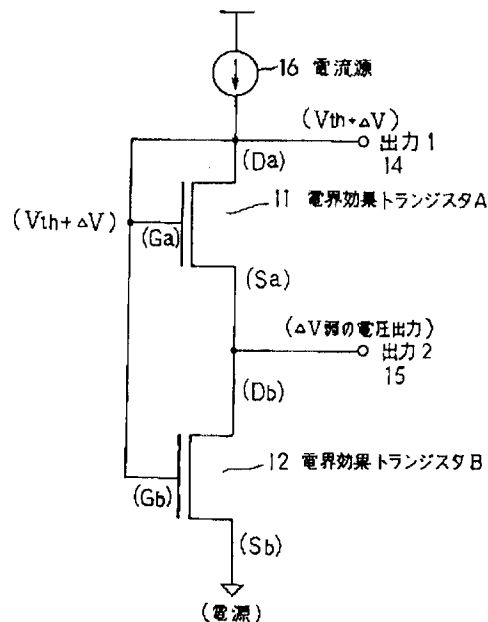
(b)



(c)

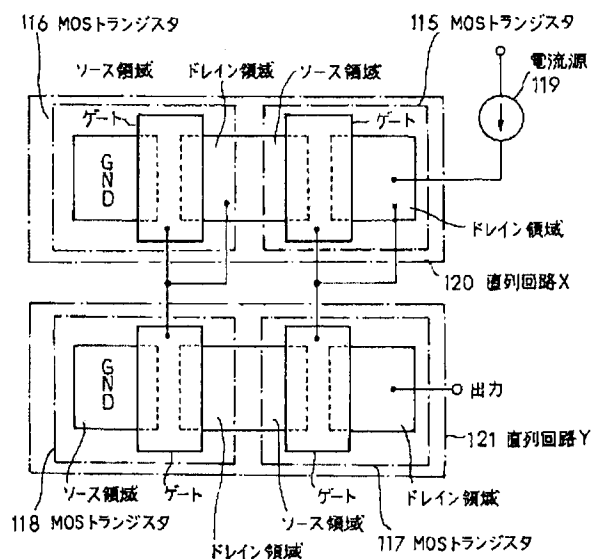
【図 2】

本発明の実施例 1



【図 9】

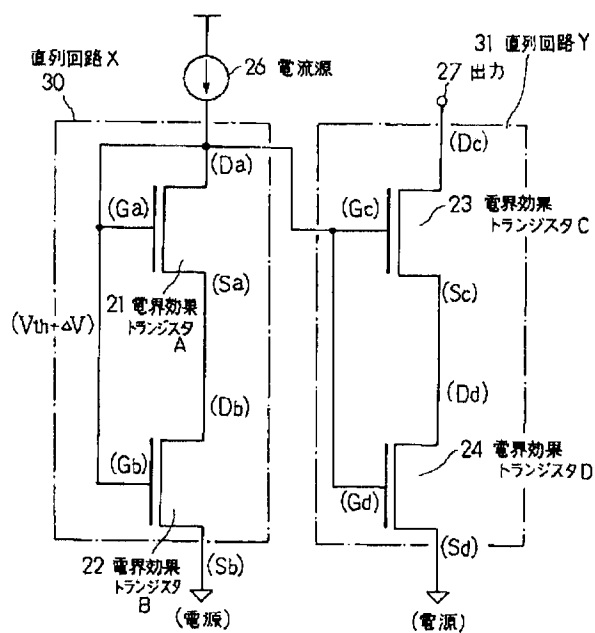
図 8 (b) の電流源回路の集積回路の構成





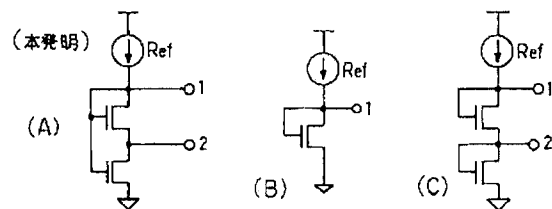
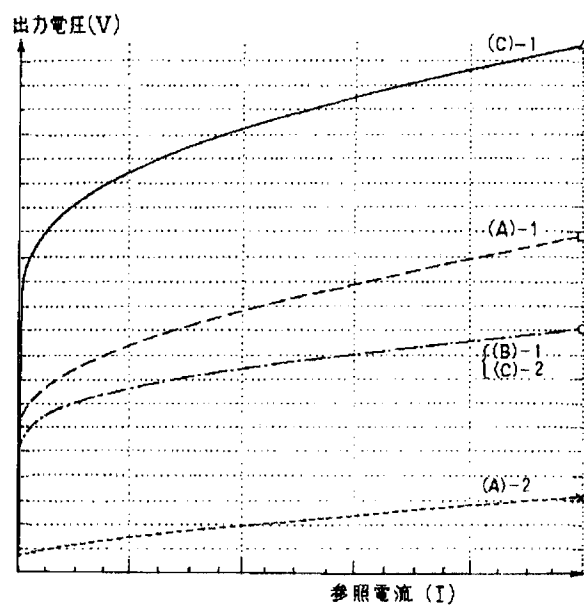
【図3】

本発明の実施例2



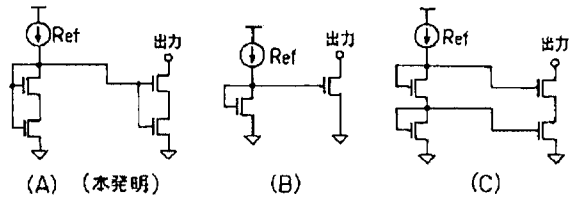
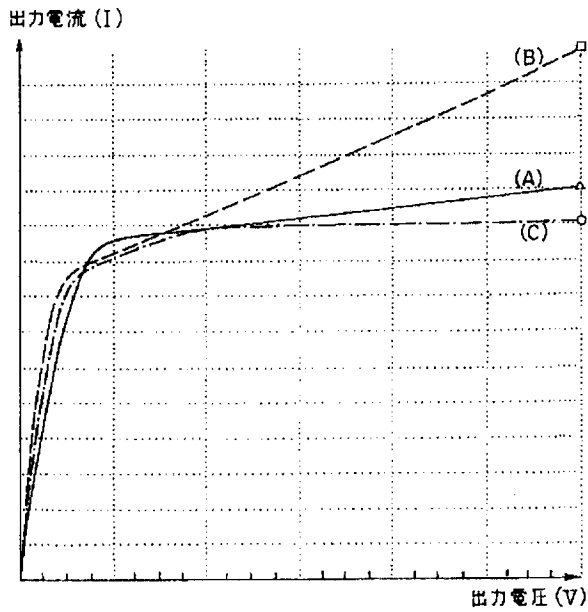
【図4】

参照電流と出力電圧の関係



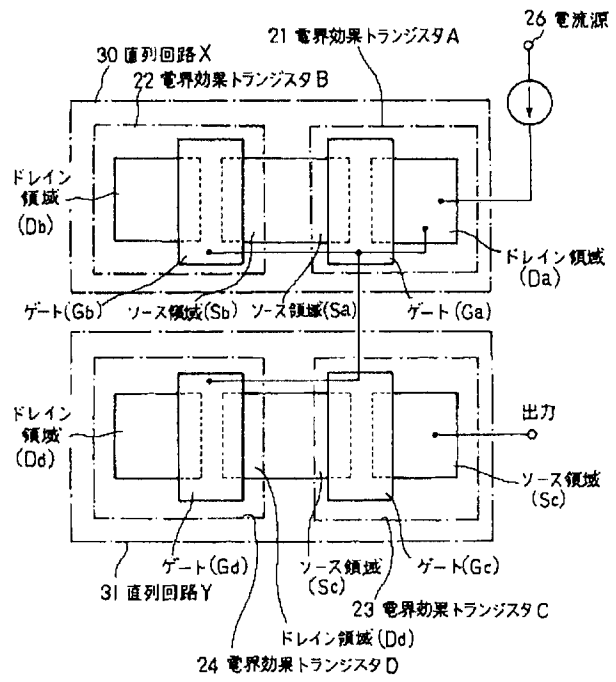
【図5】

出力電圧と出力電流の関係



【図6】

本発明の実施例2の集積回路の構成



【図8】

従来の技術の説明図2

